

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-062971

(43)Date of publication of application : 12.03.1993

(51)Int.Cl.

H01L 21/318
C23C 14/44
C23C 16/34
G01N 24/14
G01R 33/64
H01L 21/31
H05H 1/30

(21)Application number : 03-220811

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 02.09.1991

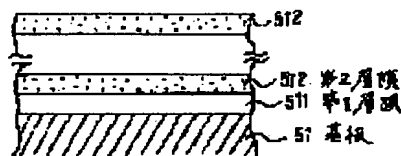
(72)Inventor : KAMIYAMA MICHIO

(54) FORMING METHOD OF SILICON NITRIDE FILM

(57)Abstract:

PURPOSE: To provide a film forming method where a silicon nitride film which is excellent in step coverage and has a compressive stress of 10×10^9 dyne/cm² or below as internal stress is formed on the surface of a substrate through an ECR plasma CVD device which is able to apply a high frequency bias power to a substrate.

CONSTITUTION: A silicon nitride film 511 having an internal compressive stress of 5×10^9 dyne/cm² or below and a silicon nitride film 512 having an internal compressive stress of 10×10^9 dyne/cm² or above are formed in lamination by changing a high frequency bias power applied to a substrate 51 in potential to constitute a silicon nitride film. In this forming method, a film having an internal compressive stress of 10×10^9 dyne/cm² or above is used as an uppermost film, and a film having an internal compressive stress of 5×10^9 dyne/cm² or below is used as a lowermost film, whereby a composite silicon nitride film can be more enhanced in effect.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-62971

(43)公開日 平成5年(1993)3月12日

(51)IntCl⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/318

M 8518-4M

C 2 3 C 14/44

8414-4K

16/34

7325-4K

G 0 1 N 24/14

9118-2J

G 0 1 N 24/ 14

審査請求 未請求 請求項の数3(全 5 頁) 最終頁に続く

(21)出願番号

特願平3-220811

(22)出願日

平成3年(1991)9月2日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 神山 道也

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

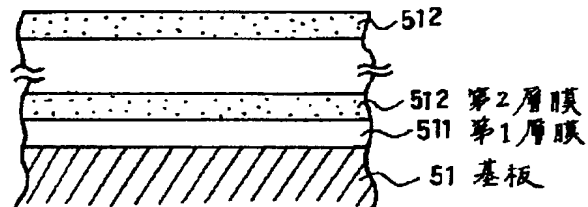
(74)代理人 弁理士 山口 巖

(54)【発明の名称】 窒化シリコン膜の形成方法

(57)【要約】

【目的】基板に高周波バイアスパワーの印加可能なECRプラズマCVD装置を用いて基板表面に窒化シリコン膜を形成する際の窒化シリコン膜の形成方法として、段差部の被覆性が良く、かつ形成された膜の内部応力が圧縮応力で 1.0×10^9 dyne/cm²以下となる膜形成方法を提供する。

【構成】窒化シリコン膜を、基板に印加する高周波バイアスパワーの大きさを変えることにより、内部応力が圧縮応力で 5×10^8 dyne/cm²以下の膜と、 1.0×10^9 dyne/cm²以上の膜とを積層して形成する膜形成方法とする。この方法の効果をより大きくするため、最表面層の膜には 1.0×10^9 dyne/cm²以上の膜を、また最下層の膜には 5×10^8 dyne/cm²以下の膜を形成するようにする。



【特許請求の範囲】

【請求項1】プラズマ生成領域と、このプラズマ生成領域と連通状態に接する反応領域と、高周波電源とを備えた電子サイクロトロン共鳴プラズマCVD装置を用い、プラズマ生成領域に窒素の単体ガス、又は窒素元素を有する化合物ガスを導入してプラズマ化し、このプラズマを反応領域に流出させつつ反応領域にシランガスを導入して、高周波電源から高周波バイアスパワーが供給される反応領域内の基板に窒化シリコン膜を形成する際の膜形成方法において、窒化シリコン膜を、前記高周波電源から基板に供給される高周波バイアスパワーの大きさを 10 $\times 10^9$ dyne/cm² 以下の膜と、10 $\times 10^9$ dyne/cm² 以上の膜とを積層して形成することを特徴とする窒化シリコン膜の形成方法。

【請求項2】請求項第1項に記載の窒化シリコン膜の形成方法において、最表面層の膜には内部応力が10 $\times 10^9$ dyne/cm² 以上の膜を形成することを特徴とする窒化シリコン膜の形成方法。

【請求項3】請求項第1項に記載の窒化シリコン膜の形成方法において、最下層の膜には内部応力が5 $\times 10^9$ dyne/cm² 以下の膜を形成することを特徴とする窒化シリコン膜の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、集積回路等に使用される層間絶縁膜やパッシベーション膜の形成方法に関する。

【0002】

【従来の技術】現在、集積回路等に用いられている層間絶縁膜やパッシベーション膜の多くはプラズマ放電を利用したプラズマCVD法により形成されている。しかし、このプラズマCVD法では、膜質や配線等による段差部の被覆性を確保するためには基板温度を約400℃と高くする必要がある。昇降温の際の配線と膜との熱膨張係数の差に基づく熱ストレスにより、形成された膜に内部応力が発生し、基板上に形成された配線や素子に損傷を加えることがあり問題であった。

【0003】そこで最近、基板温度が低くても良い膜質が得られる電子サイクロトロン共鳴(ECR)プラズマCVD法が検討され始めている。これは、この方法が、電子サイクロトロン共鳴現象により、マイクロ波のエネルギーが電子に高効率で吸収されることを利用してプラズマを発生させるものであり、通常のプラズマCVD法よりも高いプラズマ密度が得られるので、基板温度が200℃以下でも高品質な膜が得られることによる。

【0004】このECRプラズマCVD法による窒化シリコン膜(SiN膜)の形成について図3を参照して説明する。ECRプラズマCVD装置は、プラズマ生成室10と反応室30とを有し、このプラズマ生成室10に

はマイクロ波導入窓21を介してマイクロ波導波管20が接続されており、その外側に励磁コイル40が配置されている。また反応室30の内部には基板51を載せる試料台50が設置され、この試料台50の裏側につながる排気孔61が設けられている。

【0005】第1ガス導入系から導入された窒素(N₂)ガスは、プラズマ生成室10内で励磁コイル40による磁界中において、マイクロ波導入窓21を通して入射されたマイクロ波を共鳴吸収し、励起され、プラズマ状態になる。このようにして生成されたプラズマは、励磁コイル40が形成する発散磁界の磁界勾配により引き出されて反応室30内に流入し、第2ガス導入孔31から導入されたシラン(SiH₄)ガスを分解して基板51上にSiN膜を形成する。

【0006】

【発明が解決しようとする課題】ECRプラズマCVD法は低温下で絶縁膜を堆積できる特長を有するが、配線等の段差部を被覆するために、基板51に高周波電源52より高周波バイアスを印加し、高周波プラズマにより発生する自己バイアス効果、即ち、高周波プラズマ中の電子とイオンとの移動度の差に基づいて基板表面に現れる負電位により、プラズマ中に発生しているイオンを加速し、基板表面に堆積した薄膜に対してイオン衝撃を与えられ、このイオン衝撃により薄膜をスパッタすることができるようになる高周波プラズマの効果を利用し、スパッタと成膜とを平行して行うことにより、膜成長が速くなりがちな配線頂面の膜成長を、この配線頂面に強いスパッタ作用を受けさせることにより遅らせ、スパッタ作用の小さい配線間底面や配線側面の膜成長速度と同等として、段差部に膜厚のほぼ均一な膜を形成したり、あるいは高周波バイアスパワーを強くして配線頂面の膜成長速度をさらに小さくして段差部を平坦に覆う、いわゆるバイアススパッタリング法と称せられる成膜方法が提案されている。又高周波プラズマの自己バイアス効果、すなわち基板表面の負電位をより大きくするために膜形成時の圧力を高くする方法も提案されているが、イオン衝撃が強くなるにつれ膜の内部応力が増大し、この応力により配線の断線を引き起こしたり、膜が剥離したり、又イオン衝撃により素子に損傷が発生しやすいことが判明した。

【0007】段差部の被覆性を確保するためには、自己バイアスとして100~200V程度が必要とされる。膜形成時の圧力が5mTorr以下の場合、マイクロ波プラズマのインピーダンスが小さく、自己バイアスを100~200Vにするには非常に大きな高周波電力が要求されるが、図4に示すように、高周波電力が増加すると応力は単調に増加する。応力が大きいと熱履歴の際、応力の変化により配線の断線が発生する。この断線の発生率が極端に高くなるのは、内部応力が圧縮応力で-10 $\times 10^9$ dyne/cm² 以上の場合であることは一般的に知ら

れている。逆に応力を低減させるような膜形成条件を選ぶと、形成されたSiN膜の中の水素量が増加し、図5に示したように、耐薬品性、特にフッ酸に対するエッチング速度が速くなる。この傾向は膜形成時の圧力が高くても同じである。

【0008】この発明の目的は、段差部の被覆性を満足させ、かつ形成された膜の内部応力が 10×10^9 dyne/cm²以下となる半導体装置用SiN絶縁膜の形成方法を提供することである。

【0009】

【課題を解決するための手段】上記課題を解決するために、本発明においては、被成膜基板に高周波バイアスパワーを供給する高周波電源を備えたECRプラズマCVD装置による窒化シリコン膜の形成方法として、窒化シリコン膜を、高周波電源から基板に供給される高周波バイアスパワーの大きさを定めることにより、内部応力が圧縮応力で 5×10^9 dyne/cm²以下の膜と、 10×10^9 dyne/cm²以上の膜とを積層して形成する方法をとるものとする。

【0010】この方法で窒化シリコン膜を形成する場合、最表面層の膜には内部応力が 10×10^9 dyne/cm²以上の膜を形成するようにすれば好適である。また、最下層の膜には内部応力が 5×10^9 dyne/cm²以下の膜を形成するのがよい。

【0011】

【作用】本発明は、内部応力の大きい膜の間に、内部応力が小さい膜を応力の緩衝層として形成することにより全体の応力が低下することに着目したものである。従って、基板に供給する高周波バイアスパワーの大きさを定めることにより、内部応力の小さい膜と大きい膜とを交互に形成し、それぞれの膜厚を制御することにより上記目的を達成することができる。

【0012】特に第1層の膜には内部応力が 5×10^9 dyne/cm²以下の膜を形成し、第2層以降に 10×10^9 dyne/cm²以上の膜が含まれるように全体の膜を形成すれば、第2層以降の膜による 5×10^9 dyne/cm²以上の応力が配線に伝わろうとしても第1層の膜により緩和されて配線の断線が効果的に防止され、また、第1層の膜を薄めに形成し第2層以降の膜で段差部を所望の膜断面形状に覆うことにより、配線の断線防止と段差被覆性の付与とを効果的に達成することができる。

【0013】また、最表面層の膜に内部応力が 10×10^9 dyne/cm²以上の膜を形成するようにすれば、この膜の形成には、基板に供給する高周波バイアスパワーを大きくして基板表面に大きい負電位を生じさせるので、SiとOとの結合状態が良好となり、SiN膜中の水素量が少なく、また、イオンの衝撃効果も加わって緻密な膜が得られ、膜の耐透水性が向上し、半導体装置の寿命が長くなる。

【0014】

【実施例】膜形成時の圧力が60mTorrの場合についての実施例を図3を参照しながら説明する。プラズマ生成室10には、その上部開口部にマイクロ波導入窓21を介してマイクロ波導波管20が接続され、マイクロ波が注入され室内で空洞共振する。又、この室内には第1ガス導入系11よりN₂ガスが導入され、かつプラズマ生成室10の回りに電子サイクロトロン共鳴用の励磁コイル40が配置され、所定の強度の直流磁界を発生させる。室内のN₂ガスは注入されたマイクロ波のエネルギーを共鳴吸収して励起されプラズマ状態になる。

【0015】このようにして生成されたプラズマは、励磁コイル40がつくる発散磁界の磁界勾配により引き出され反応室30に流入する。反応室30には第2ガス導入系31を介してSiH₄ガスが導入される。このSiH₄ガスは上記の窒素プラズマと混合され分解される。膜を堆積すべき基板51には試料台50を介して高周波バイアスパワーが供給可能となっており、基板51近傍にはマイクロ波によるプラズマだけではなく、高周波によるプラズマを共存させることが可能となっている。

【0016】本発明の方法で以上の装置を用いてSiN膜を堆積するには、試料台50上に例えば8インチ径の基板51を配置し、温度を200℃以下、ふつうは50～150℃に自動調整し、かつ真空容器内を充分排気した上でN₂ガスをプラズマ生成室10に、SiH₄ガスを反応室30に導入する。N₂ガスはSiH₄ガスに対し流量比にして1以上になるように調整しながら導入する。かかる雰囲気ガスの容器内圧力は40～120mTorr内とされる。ついで励磁コイル40に電流を流し、所定の磁界を発生させた状態でマイクロ波パワーを導波管20から導入窓21を介してプラズマ生成室10に照射する。第1層目の内部応力が小さい膜を形成する場合は、供給N₂ガス流量に対し高周波バイアスパワーを高周波電源52から1W/cc以下で供給して低内部応力の膜を形成し、第2層目512は、高周波バイアスパワーを1～2.5W/ccの範囲で供給し内部応力は高いが膜質も良く段差の被覆性も優れた膜を形成する。この第1層目、第2層目を必要な膜厚で繰り返して全体の膜を形成する。図1に膜全体の断面模式図を示す。図において、符号511は内部応力の小さい膜、512は内部応力の高い膜である。また、図2に、第1層目に内部応力が 4×10^9 dyne/cm²の膜、第2層目に内部応力が 14×10^9 dyne/cm²の膜を用いた場合の一例を示す。図に示したように、第1層目の膜厚と第2層目の膜厚との割合を、例えば1:1に選ぶことにより、内部応力はほぼ、第1層目の膜の値と第2層目の膜の値との和の1/2になり、第1層目の割合を多くすると第1層目の値に近づく。又、最終の表面層は第2層目の内部応力の強い膜にしておく。

【0017】

50 【発明の効果】以上のように、本発明による半導体装置

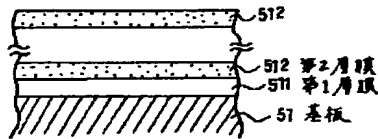
5

用SiN膜の形成方法では、内部応力の小さな膜と内部応力の大きな膜とを交互に積層することにより全体の膜を形成するようにしたので、全体の膜の内部応力をその範囲で任意に制御でき、他の膜質例えば、耐フッ酸性も内部応力の大きい膜の方に近づけることが可能となり、全体として、内部応力が -10×10^9 dyne/cm²以下で耐薬品性の良好なSiN膜を得ることができる。また、内部応力の高い膜で段差部を被覆することにより良好な段差被覆性を付与することができる。これらにより、基板に形成された配線の断線や素子の損傷が防止され、半導体装置の信頼性が向上し、寿命が伸びる。そして、この効果は、第1層目に内部応力の小さい膜を、最表面層に内部応力の高い膜を形成するとき最も大きくなる。

【図面の簡単な説明】

【図1】本発明の製造方法により形成される窒化シリコン膜の一実施例の断面模式図

【図1】



6

【図2】積層して形成される窒化シリコン膜の積層第1層と第2層の膜厚の割合を変えた場合の膜厚の割合と2層分の内部応力との関係を示す線図

【図3】ECRプラズマCVD装置構成の概念図

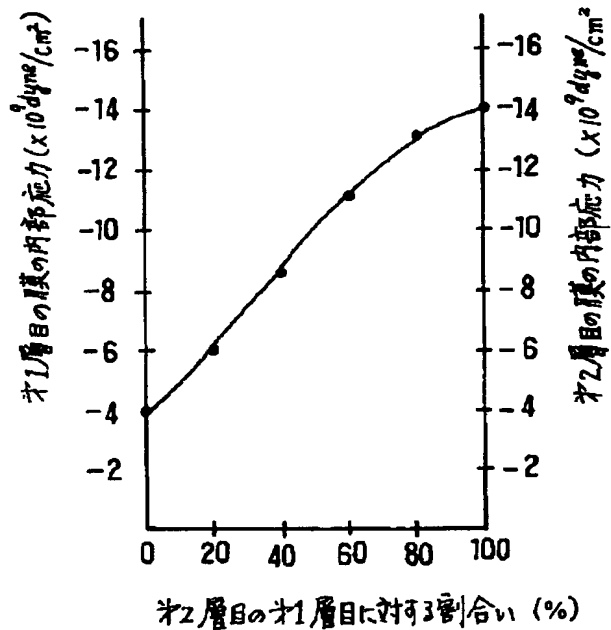
【図4】ガス圧力が2mTorr時の膜内応力と高周波バイアスパワーとの関係の一例を示す線図

【図5】膜の内部応力と50%HF溶液によるエッチング速度との関係の一例を示す線図

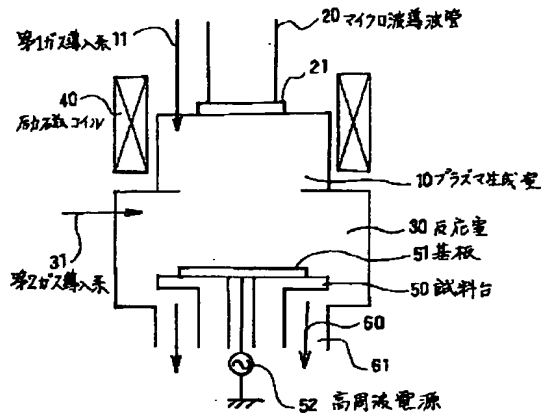
【符号の説明】

- | | | |
|----|----|-------------------|
| 10 | 10 | プラズマ生成室（プラズマ生成領域） |
| | 11 | 第1ガス導入系 |
| | 20 | マイクロ波導波管 |
| | 30 | 反応室（反応領域） |
| | 31 | 第2ガス導入系 |
| | 51 | 基板 |
| | 52 | 高周波電源 |

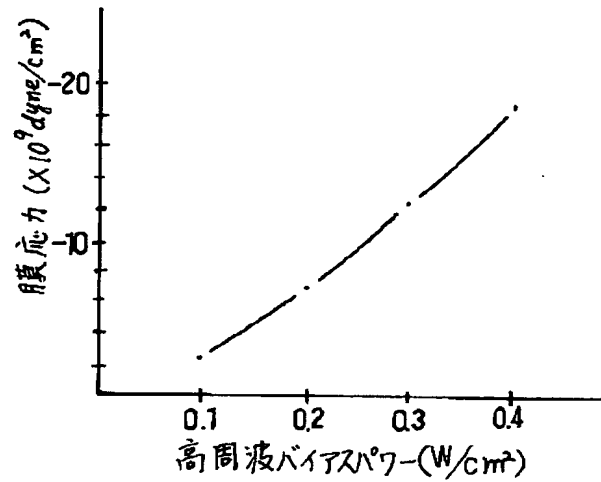
【図2】



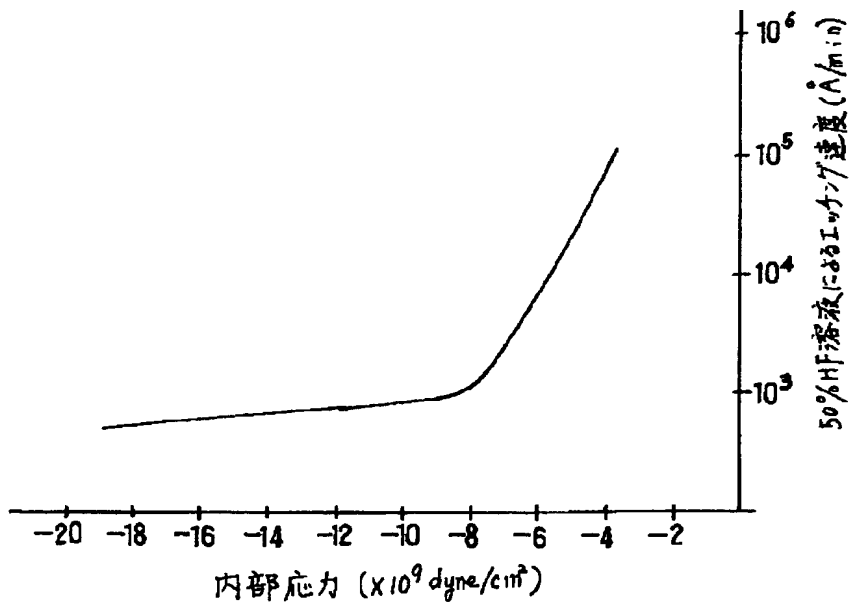
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl.⁵

G 0 1 R 33/64

H 0 1 L 21/31

H 0 5 H 1/30

識別記号

庁内整理番号

F I

技術表示箇所

C 8518-4M

9014-2G